

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-232464

(43)Date of publication of application : 27.12.1984

(51)Int.Cl.

H01L 29/80  
H01L 21/28

(21)Application number : 58-106799

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.06.1983

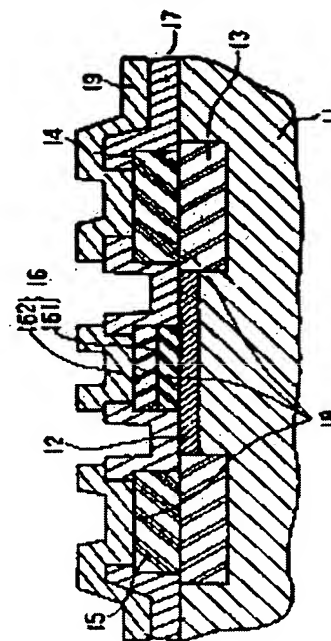
(72)Inventor : MORIMITSU HIROSHI  
KUROKAWA ATSUSHI

## (54) COMPOUND SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To prevent the variation of pinch-off voltage caused by an usual heat treatment in manufacturing process by forming a gate electrode out of two layers in which high-melting-point metal is used for the first layer of the substrate side and aluminum is used for the second layer.

**CONSTITUTION:** On a semiconductor substrate 11, a source electrode 14, a drain electrode 15 and a gate electrode 16 using Schottky barrier are arranged to form a Schottky barrier FET. The gate electrode 16 is formed out of two layers and for the first layer 161 on the substrate side, the high-melting-point metal using at least one selected out of molybdenum (Mo), tungsten (W), tantalum (Ta), niobium (Nb), hafnium (Hf), chromium (Cr) and titanium (Ti) is used, and for the second layer 162 on another side, aluminum is used. Consequently, a position of the Schottky barrier is fixed in the position when forming gate electrodes and is not moved by the heat treatment during the following manufacturing process thereby preventing variation of pinch-off voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭59—232464

⑫ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和59年(1984)12月27日  
 H 01 L 29/80 7925—5F 発明の数 1  
 21/28 7638—5F 審査請求 未請求

(金 3 頁)

## ⑭ 化合物半導体装置

⑮ 発明者 黒川敦

小平市上水本町1450番地株式会  
社日立製作所武蔵工場内

⑯ 特 願 昭58—106799

⑰ 出 願 昭58(1983)5月16日

⑱ 出 願 人 株式会社日立製作所

⑲ 発 明 者 森光廣

東京都千代田区神田駿河台4丁  
目6番地国分寺市東恋ヶ窪一丁目280番  
地株式会社日立製作所中央研究  
所内

⑳ 代 理 人 弁理士 中村純之助

## 明 細 書

1. 発明の名称 化合物半導体装置

2. 特許請求の範囲

(1) 半導体基板の上にソース電極、ドレイン電極およびショットキバリアを用いたゲート電極を形成したショットキ降電界効果トランジスタを少なくとも有する化合物半導体装置であって、前記ゲート電極を2層に形成し、その基板側の第1層に高融点金属を、他の側の第2層にアルミニウム(Al)を用いたことを特徴とする化合物半導体装置。

(2) 特許請求の範囲第1項に記載の化合物半導体装置において、第1層を形成する高融点金属として、モリブデン(Mo)、タンガステン(W)、タantalum(Ta)、ニオブ(Nb)、ハフニウム(Hf)、クロム(Cr)、チタン(Ti)の群から選ばれた少なくとも一者を用いたことを特徴とする化合物半導体装置。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、半導体基板上に形成されるショットキ降電界効果トランジスタ(以下 MESFET と記す)において、熱的に安定でかつゲート抵抗の低いゲート電極を有するようにした化合物半導体装置に関するものである。

(発明の背景)

GaAs MESFET のゲート電極いわゆるショットキ電極に要求される性能のなかで代表的なものは、高耐熱性と低電気抵抗である。GaAs 半導体基板上の単層の金属電極では、これらの性能を共に満たすことは困難である。従来の Al ゲート電極は、容易に蒸着でき、耐熱性も良く、かつ電気抵抗が低いことから、よく用いられてきた。しかし、素子作成でゲート電極形成後に行われる熱処理工程、例えば SiO<sub>2</sub> の CVD (化学蒸着法) プロセス時に基板加熱を受けると、Al が GaAs 基板内に拡散し、ピンチオフ電圧(V<sub>p</sub>)がイオン打込みで設定した値から変動してしまう。そして、この変動量はイオン打込みのプロファイル等に関係し、素子作成上 V<sub>p</sub> の再現は困難であった。また、この MESFET

特開昭59-232464(2)

を高圧で動作させた場合、その劣化現象が増大し、特性を劣化させるという問題があった。また、GaAs MESFETおよびこれを主要構成要素とするGaAs IC(集積回路)において、実装の際に受ける熱処理による特性劣化を防ぐ必要があるという欠点があった。

〔発明の目的〕

本発明の目的は、上記した従来技術の欠点をなくし、その製造工程で受ける通常の熱処理によってはピンチオフ電圧 $V_p$ が変動することなく、熱的に安定かつ高信頼性を有し、しかもゲート抵抗の低いゲート電極を有するGaAs MESFETを提供することにある。

〔発明の要旨〕

本発明は、上記目的を達成するため、ゲート電極を2層に形成し、その基板上の第1層に高融点金属を、第2層にアルミニウムを用いることが、その要点である。

高温状態では、GaAs等半導体表面に被着された金属が半導体中へ拡散して、ショットキ障壁の位

置が半導体内部へ移動していく現象が知られている。そして、この拡散する量は金属の種類によって異なり、金(Au)、白金(Pt)等は拡散開始温度が350℃以下の低値である。一方、遷移金属、例えばタンタム(W)、タンタル(Ta)、ニオブ(Nb)、ハフニウム(Hf)、モリブデン(Mo)、チタン(Ti)、クロム(Cr)等の高融点金属は、その拡散開始温度が比較的高いものが多い。このため、本発明のごとく、ショットキ障壁を形成する第1の金属層に上記した高融点金属を、第2の金属層に低抵抗のAlを用いれば、ショットキ障壁の位置がゲート電極形成時の位置に固定され、以後の製造工程で受ける熱処理によって変動しないため、ピンチオフ電圧 $V_p$ を制御しやすくなる。また、第2の金属層を形成するAlは電気伝導度が高いため、低抵抗のゲート電極を実現することができる。さらに、第1の金属層を形成する高融点金属は、AlがGaAsへ拡散するのを防ぐ拡散バリアとして働くため、熱処理に対して安定した構造となっている。また、Alは高融点金属に対して密

着性があるので、この2層膜はリフトオフを使って容易にゲート電極に形状加工することが可能である。

〔発明の実施例〕

以下、本発明の一実施例を説明する。第1図(a)は試作したGaAs半導体装置中のGaAs MESFETの一断面を示す断面図、同図(b)はその部分拡大図である。図において、1)は半絶縁性のGaAs結晶板であり、これにSiイオンをイオン打込み法によって注入し、800℃、20分アニールし、活性層12を形成し、オーミック電極の低抵抗低抵抗を実現するためにその両側にn<sup>+</sup>層13を形成する。次に、ソース電極14とドレイン電極15として、AuGe(Ge 3重量%)、Ni、Alの3層膜(膜厚の合計3000Å)を被着し、水素雰囲気中でアノールし、オーミック電極を形成する。さらに、ゲート電極16として、Mo膜161を厚さ500Å、Al膜162を厚さ1000~2000Åに、それぞれ電子ビーム蒸着法あるいはスパッタ蒸着法によって被着する。なお、以下、二種材料の積層を順順にMo/Alのごとく記述す

る。その後、層間絶縁膜17として、PSG膜を厚さ6000Åに常圧CVD法によって形成し、所望の部分に電極孔18をホトリソグラフィ技術によって形成する。最後に、第2層目の配線金属層19として、例えばMo/Auを約1μmの厚さに被着する。この間ゲート電極16形成後の製造工程で400℃の熱処理を受けるが、GaAs中へのMoの拡散によって起こるピンチオフ電圧 $V_p$ の変動は抑制されなかった。

第2図は、ゲート電極にMo/Alを用いたGaAs MESFETの、400℃での熱処理によるピンチオフ電圧 $V_p$ の時間的な変動を測定した結果を示したものである。この図は、4時間までの熱処理では $V_p$ の変動は抑制されず、GaAs結晶内へゲート電極の金属であるMo、Alが拡散していないことを示している。なお、ショットキダイオードのC-V特性の測定からも、ゲート電極金属の拡散がないことが判明している。また、ゲート電極にMo/Alのほか、W/Al、Hf/Al、Nb/Al、Ta/Alを用いたGaAs MESFETにおいても、同様に400℃の熱

特開2000-232464(3)

処理に対して安定した特性が得られた。

第3図は、Ti単層を用いたGaAs MESFETの、様々な温度での熱処理によるピンチオフ電圧 $V_p$ の時間的変動を測定した結果を示したものである。この図から、350℃より高温では $V_p$ の変動があることがわかる。そのため、層間絶縁膜17の形成には、350℃以下でプラズマ $\text{Si}_3\text{N}_4$ 膜を用いる。その結果、Ti/Alのゲート電極16を用いて安定したGaAs MESFET特性を得ることができた。また、Cr/Alゲート電極の場合も、同様な結果が得られた。

#### 【発明の効果】

本発明によれば、GaAs MESFETおよびこれを主要構成要素とするGaAs ICにおいて、製造工程で受ける通常の熱処理ではピンチオフ電圧が変動することなく、しかもゲート抵抗の低いGaAs MESFETが得られるので、熱的に高信頼性を有する高速の素子を再現性よく製造することができる。

#### 4. 図面の簡単な説明

第1図例は本発明によるGaAs MESFETの一

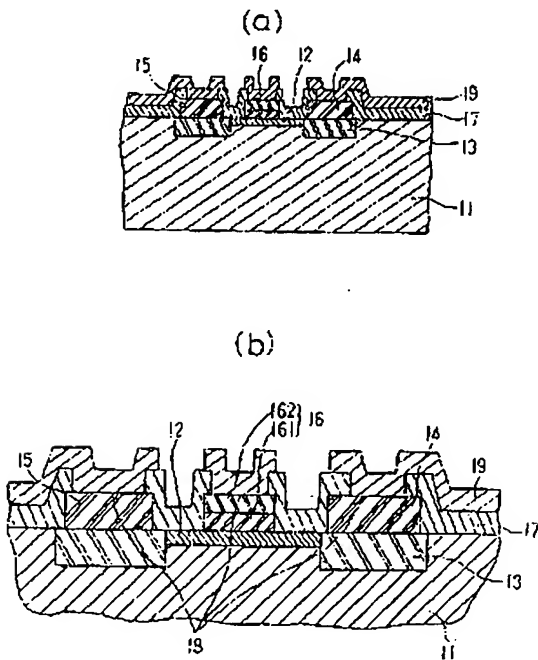
断面を示す断面図、同図例はその部分拡大図、第2図はゲート電極にMo/Alを用いたGaAs MESFETを400℃で熱処理したときのピンチオフ電圧の時間的な変動を測定した結果を示す特性図、第3図はゲート電極にTiを用いたGaAs MESFETの、ピンチオフ電圧の変動の熱処理温度依存性を示す特性図である。

#### 符号の説明

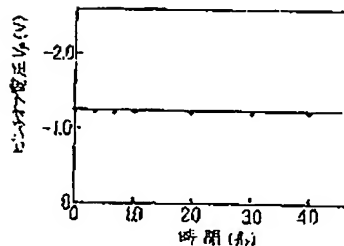
11…GaAs結晶板	12…接触網
13… $n^+$ 層	14…ソース電極
15…ドレイン電極	16…ゲート電極
161…Mo膜	162…Al膜
17…層間絶縁膜	18…電極孔
19…配線金属膜	

代理人弁護士 中村 純之 助

第1図



第2図



第3図

